

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 01179334
PUBLICATION DATE : 17-07-89

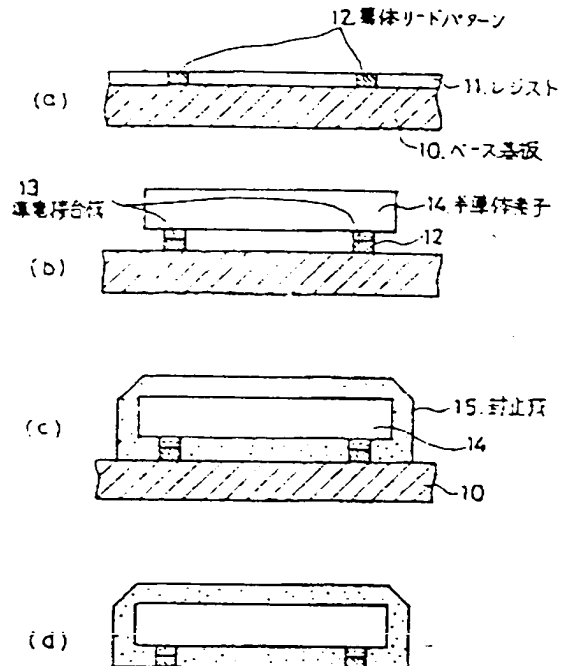
APPLICATION DATE : 05-01-88
APPLICATION NUMBER : 63000459

APPLICANT : CITIZEN WATCH CO LTD;

INVENTOR : IINUMA YOSHIO;

INT.CL. : H01L 21/60 H01L 21/56

TITLE : MOUNTING OF SEMICONDUCTOR
DEVICE



ABSTRACT : **PURPOSE:** To form a lead structure whose lead part is sufficiently thin, where an interval is fine and which is comparatively strong by a method wherein, after a lead pattern for external connection use of a semiconductor device electrode has been formed on a substrate, a bare chip of a semiconductor device has been bonded onto the lead pattern in a facedown manner, this semiconductor device is sealed by using a sealing material such as a resin or the like and only the substrate is removed.

CONSTITUTION: A resist 11 for conductor lead pattern formation use is formed on one face of a substrate 10 of aluminum, stainless steel or the like; after that, openings are made in this resist 11; conductor lead patterns 12 composed of copper, aluminum, an alloy of these or the like are formed in the openings by an electrolytic plating method or the like. Then, the resist 11 is removed; after that, the semiconductor device 14 is bonded onto the conductor lead patterns 12 in a facedown manner by using a conductive bonding material 13 such as a solder, a conductive paste or the like. After that, the semiconductor device 14 is covered wholly with a sealing material 15 such as a resin-based material or the like; a gap between the semiconductor device 14 and the base substrate 10 is filled. Then, the base substrate 10 is removed; a package of the semiconductor device is completed.

COPYRIGHT: (C) JPO

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-179334

⑪ Int. Cl.⁴

H 01 L 21/60
21/56

識別記号

庁内整理番号

Z-6918-5F
R-6835-5F

⑬ 公開 平成1年(1989)7月17日

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体素子の実装方法

⑮ 特 願 昭63-459

⑯ 出 願 昭63(1988)1月5日

⑰ 発 明 者 平 澤 宏 幸 埼玉県所沢市大字下富字武野840 シチズン時計株式会社
技術研究所内

⑱ 発 明 者 飯 沼 芳 夫 埼玉県所沢市大字下富字武野840 シチズン時計株式会社
技術研究所内

⑲ 出 願 人 シチズン時計株式会社 東京都新宿区西新宿2丁目1番1号

明 細 書

1. 発明の名称

半導体素子の実装方法

2. 特許請求の範囲

ベース基板上の全面にレジストを塗布する工程と、所定形状の半導体素子電極の外部接続のためのリードパターン形成用の開口部を前記レジストに形成する工程と、前記リードパターン形成用の開口部に導電層を形成する工程と、前記レジストを除去する工程と、前記リードパターン上に前記半導体素子を導電接合材により接続する工程と、封止材により前記ベース基板の片側を前記半導体

〔従来の技術と問題点〕

電子機器の超薄短小化への要求と高密度実装への要求から電子部品のより小型で薄型なパッケージング技術が重要であり、表面実装に対応する半導体素子パッケージが多用されつつある。従来の表面実装用パッケージ、例えばスモール・アウトライン・パッケージ(SOP)、クアド・フラット・パッケージ(QFP)、プラスチック・リード・チップ・キャリア(PLCC)等は、半導体素子チップサイズに比較するとその外形寸法はかなり大型である。

従って同パッケージを回路基板等に実装した場

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体素子の実装方法に関する。

として、半導体素子電極の外部接続用リードパターンのパッケージ側部から突出した構造を持つ

体素子14を封止した封止材15の側部からリードフレーム41が突出し、また封止材15はボンディングワイヤー40を覆うようにするためとリードフレーム41の厚さのために高さ方向に封止材が厚くなることから、同パッケージは実装面に対し水平方向にも垂直方向にも面積或は体積を占有してしまふ。パッケージサイズの小型化を計る方法としては、リードピッチを微細化するリードフレーム部を簡略或は省略する、或は半導体素子チップの実装スペースを小さくする等が考えられる。

現在、表面実装用パッケージのリードフレーム用の板厚は0.1～0.2mmのニッケル-鉄合金系のものが多用されている。ピッチの微細化を計りリードピッチを0.5mm以下にしようとするとリード幅は0.2mm前後になるが、このとき板厚を薄くしないとエッチングによるパターンニングができない。

しかし、板厚を薄くして同様のリードフレームを形成するとリード強度が低下して取扱いが複雑になる等の問題点がある。

容易さ及び封止材とリードパターンとの密着性を強固にすることが作業性及びリード部分に要求される強度のうえからポイントとなる。ベース基板除去の容易さの点についてはエッチングによる除去の場合、リードパターン及びベース基板の材料に応じてベース基板のみを選択エッチングできるエッチング剤を使用すれば良い。またピーリングによる除去の場合では、ベース基板材料とパターン材料或は封止材料との密着力が弱い材料を選択するか、或はベース基板上に剥離層を設ける等の方法で同様の効果をもたらせばよい。

例えば、リードパターンを銅メッキで形成させる場合には、銅メッキ層を剥離剤で剥離すれば、ベース

基板の除去が容易となる。封止材とリードパターンとの密着性を強固にする点については封止材

〔発明の目的〕

本発明の目的は上記のような問題点に着目して、リード配の厚さが十分薄く、微細ピッチでありながらも比較的強固なリード構造を有し、半導体素子の多ピン化に対応できる高密度実装に適した超小型・超薄型パッケージの実装方法を提供することにある。

〔発明の構成〕

上記目的を達成するため本発明の半導体素子の実装方法においては、金属等のベース基板上に半導体素子電極の外部接続用リードパターンを形成し、その上に半導体素子チップをフェイスダウンボンディング等の方法でボンディングした後、この半導体素子を樹脂等の封止材により封止する。

次にリードパターンを形成したベース基板のみをエッチング或はピーリング等により除去することで、封止材とリードパターンとが一体化したパッケージを形成させる。

〔作用〕

このパッケージング法では、ベース基板除去の

に耐剥離力を増加させる（例えば封止材に食い込む様な）形状で形成させること等でリードを強固に保持する事が可能である。

〔実施例〕

以下図面に基づき本発明の実施例を説明する。

第1図はフェイスダウンボンディングにより半導体素子を実装する場合のパッケージング工程を示した断面図である。第1図(a)に示すように銅、アルミニウム、ステンレス等の材質で厚さ0.1～3mm程度のベース基板10の片面に導体リードパターン形成用の感光性樹脂であるレジスト11を形成した後、このレジスト11に導体リードパターン形成用の開口部を形成し、同開口部を露光

次に第1図(b)に示すようにレジスト11を除去後に半田、導電ペースト等の導電接合材15を用いて半導体素子14を実装する。

(c)に示すように樹脂系材料等の封止材15によって半導体素子14全体を覆い、かつ半導体素子14とベース基板10との間を埋めるように封止する。

次にベース基板10を除去し、第1図(d)に示すように半導体素子のパッケージを完成する。ベース基板10の除去方法は、機械的ピーリング、酸類等の薬品による湿式エッチングやリアクティブ・イオン・エッチング(RIE)等による乾式エッチングなど他の様々な方法でもよい。

第1図における導体リードパターン12はパッケージの回路基板上へのボンディングの仕様に依りて、半導体素子の外部引き出し用電極と同じ配置、封止材の外周よりも外側に引き出した配置、半導体素子の外部引き出し用電極よりも内側に引き出した配置或はそれらを組み合わせた配置に形成することができる。このことを第2図に示す。

第2図(a)、(b)、(c)は導体リードパターンのリードの引き出し方法を示す平面図、及び第2図(d)、(e)、(f)はそれぞれ第2図(a)、(b)、(c)の引き出し方

法に対応して製造される半導体素子のパッケージの断面図である。第2図(a)は、後工程で形成される封止材の外周16よりも内側の半導体素子の外部引き出し用電極と同じ配置の導体リードパターン12aを形成した実施例で、この場合製造される半導体素子のパッケージは第2図(d)に示す断面形状のようになる。第2図(b)は、後工程で形成される封止材の外周16よりも外側に、導体リードパターン12bを引き出す形状にした実施例で、この場合製造される半導体素子のパッケージは第2図(e)に示す断面形状になる。このとき封止材15から外部へ引き出された導体リードパターン12bはパッケージの回路基板上へのボンディングの仕様に依りて、切断或は折り曲げ等の加工をすることも可能となる。第2図(c)は、後工程で形成される封止材の全周16よりも内側の半導体素子の外部引き出し用電極よりも更に内側に、導体リードパターン12cを引き出す形状にした実施例で、この場合製造される半導体素子のパッケージは第2図(f)に示す断面形状になる。

また、上記第2図(a)、(b)、(c)の導体リードパターン形状は組み合わせることも可能である。

第3図はベース基板除去を容易にするために剥離層を設け、また封止材によってリードパターンを強固に保持させる構造にする実施例を示した工程断面図である。

まず第3図(a)に示すようにベース基板10上に剥離層30を形成する。剥離層30は後工程で形成する導体リードパターン12と剥離し易い材料、例えば導体リードパターン12を銅メッキで形成させる場合、銅との密着力が弱い材料としてのタタニウムを用いて蒸着、スパッタリング等により形成する。

次に第3図(b)に示すように、導体リードパターン12の引き出した形状になるように銅、アルミニウムあるいはこれらの合金等からなる7番目の層を形成

導体リードパターン12上に導電接合材13を用いて接合する。続いて第3図(d)に示すように、半導体素子14全体を覆うように封止材15で封止する。

このとき先に形成した導体リードパターン12の導方向に突き出た頭部の下側にも封止材15が回り込み導体リードパターン12はより強固に封止材15と一体化保持されることになる。更にベース基板10及び剥離層30を封止材15と剥離層30との界面から除去し、第3図(e)に示すようにパッケージを完成する。ベース基板10及び剥離層30の除去方法は、機械的ピーリング、酸類

本発明によるパッケージは、第4図に示す従来のパッケージに見られるような封止材15から導体リードパターン12が露出する構造と異なり、

無いので、より半導体素子サイズに近いパッケージを提供することが可能である。

〔発明の効果〕

上述のように本発明による半導体素子の実装方法では、従来の表面実装用半導体素子パッケージに比較してパッケージの実装面積或は体積を小さくすることができるため表面実装において効率的な実装方法を提供することができる。更にリードパターンを封止材料と一体化させ保持することで強度を持たせながらリードパターン厚を5〜50μm程度に薄く微細ピッチで形成することが可能なので、半導体素子の多ピン化へ対応できる実装方法を可能とする。

従って高密度な表面実装に適応した半導体装置を提供する上に、更にはペア・チップの使いにくい多チップ搭載ボード製品、例えばICカード、メモリーカード等の実装に有効といった効果がある。

4. 図面の簡単な説明

第1図、第3図はいずれも本発明の実施例にお

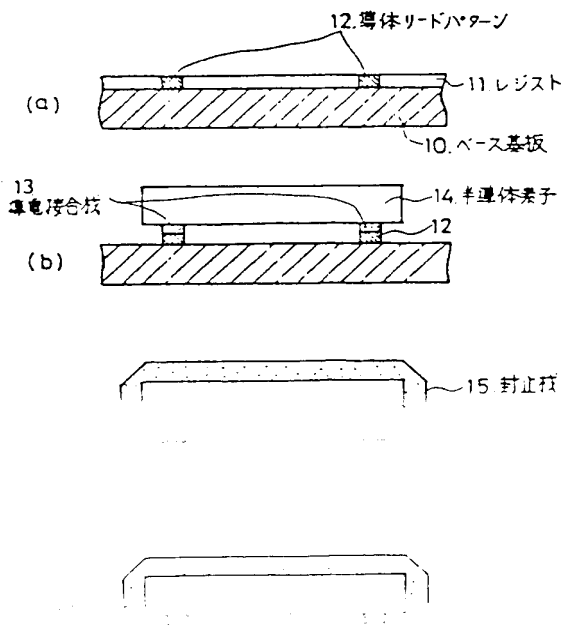
ける製造工程を示す断面図、第2図(a)、(b)、(c)および(d)、(e)、(f)は本発明の実施例におけるそれぞれ平面図および断面図、第4図は従来例を示す断面図である。

- 1 0 …… ベース基板、
- 1 1 …… レジスト、
- 1 2 …… 導体リードパターン、
- 1 3 …… 導電接合材、
- 1 4 …… 半導体素子、
- 1 5 …… 封止材、
- 1 6 …… 封止材の外周部、
- 3 0 …… 剥離層、
- 4 0 …… ボンディングワイヤー、
- 4 1 …… リードフレーム。

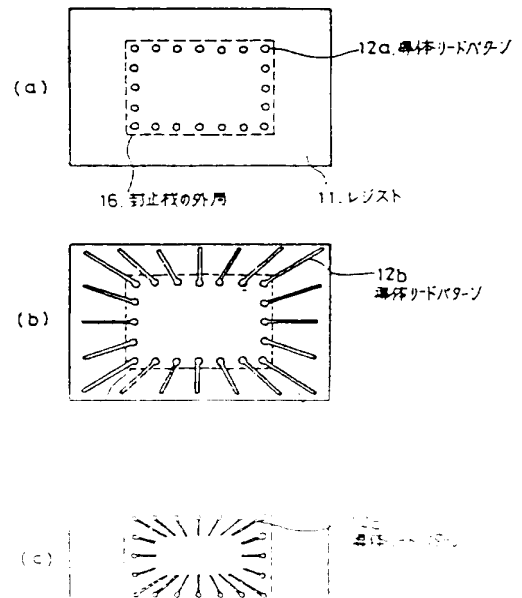
特許出願人 シチズン時計株式会社



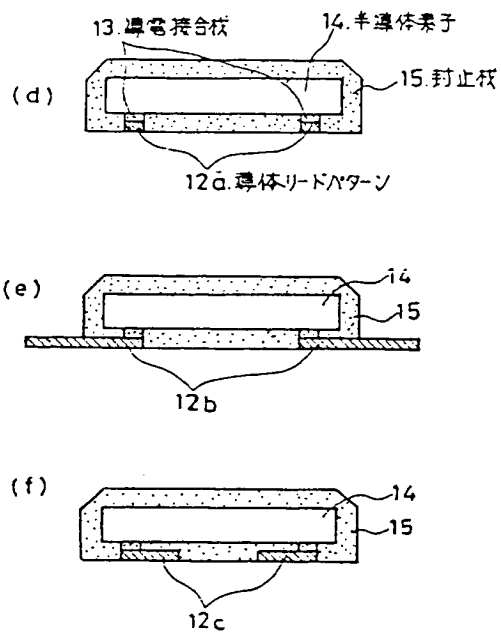
第1図



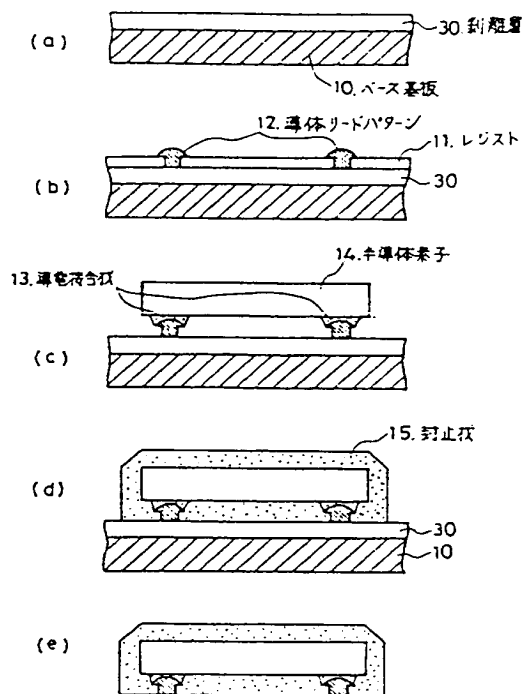
第2図



第2図



第3図



第4図

